

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-334676  
(43)Date of publication of application : 18.12.1998

(51)Int.CI. G11C 16/02

(21)Application number : 09-197569 (71)Applicant : SANYO ELECTRIC CO LTD  
(22)Date of filing : 23.07.1997 (72)Inventor : KAJITANI MASANORI

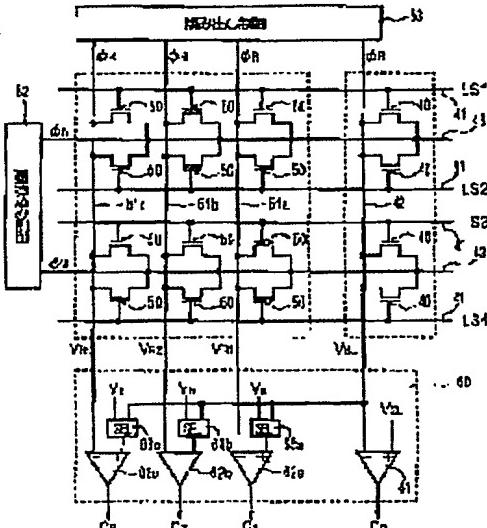
(30)Priority  
Priority number : 09 81479 Priority date : 31.03.1997 Priority country : JP

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To accurately read multi-level information stored with a non-volatile semiconductor memory device having a floating gate.

**SOLUTION:** A plurality of reference transistors 50 are arranged in addition to a memory transistor 40 and the same row is connected for enabling selection with a common word line 43. Simultaneously with the writing operation to the memory cell transistor 40, the writing reference potentials  $V_a$  to  $V_c$  are written to the reference transistor 50. In the read operation after completion of the write operation, stored information is discriminated by comparing the reference potentials  $VR_1$  to  $VR_3$  read from each reference transistor 50 with the potential  $V_{BL}$  read from the memory cell transistor 40.



## LEGAL STATUS

[Date of request for examination] 25.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-334676

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.<sup>6</sup>

G 11 C 16/02

識別記号

F I

G 11 C 17/00

6 4 1

6 1 1 E

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号 特願平9-197569

(22)出願日 平成9年(1997)7月23日

(31)優先権主張番号 特願平9-81479

(32)優先日 平9(1997)3月31日

(33)優先権主張国 日本 (JP)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 梶谷 雅典

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

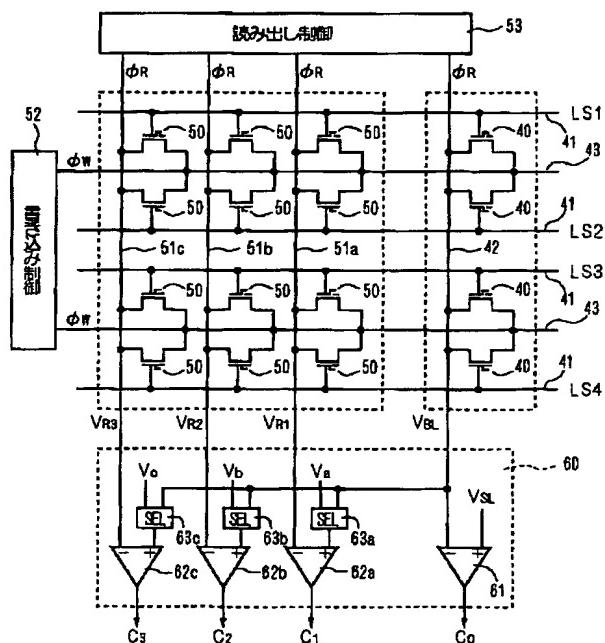
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 不揮発性半導体メモリ装置

(57)【要約】

【課題】 フローティングゲートを有する不揮発性半導体メモリ装置で、記憶した多値情報を正確に読み出す。

【解決手段】 メモリセルトランジスタ40と共に複数の基準トランジスタ50を配置し、同一の行を共通のワード線43で選択可能に接続する。メモリセルトランジスタ40に対する書き込みと同時に、基準トランジスタ50に対して書き込み基準電位Va～Vcを書き込む。書き込み動作が完了した後の読み出しモードでは、各基準トランジスタ50から読み出した基準電位VR1～VR3をメモリセルトランジスタ40から読み出した電位VBLと比較することにより、記憶情報を判定する。



## 【特許請求の範囲】

【請求項1】 電気的に独立したフローティングゲートを有し、このフローティングゲートに蓄積される電荷の量に応じてオン抵抗値を変化させるメモリセルトランジスタと、上記メモリセルトランジスタと同一の構造を有し、同一行に配置される複数の基準トランジスタと、上記メモリセルトランジスタが接続されるビット線と、上記複数の基準トランジスタがそれぞれ接続される複数の基準ビット線と、上記メモリセルトランジスタ及び上記複数の基準トランジスタに所定の周期を有する書き込みクロックを供給し、上記メモリセルトランジスタ及び上記複数の基準トランジスタにそれぞれ書き込みを行う書き込み回路と、上記書き込みクロックの電荷注入動作の間隙で上記メモリセルトランジスタ及び上記複数の基準トランジスタのオン抵抗値を読み出し、上記メモリセルトランジスタのオン抵抗値が書き込み情報に対応する値となったときに上記書き込み回路から上記メモリセルトランジスタへの上記書き込みクロックの供給を停止すると共に、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となったときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を順次停止する制御回路と、を備え、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となったときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を停止すると共に、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となったときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を順次停止する制御回路と、を備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項2】 上記ビット線に上記メモリセルトランジスタが複数個並列に接続されてメモリセルトランジスタ列を成すと共に、上記複数の基準ビット線に上記基準トランジスタがそれぞれ複数個並列に接続されて複数の基準トランジスタ列を成し、各列で同一行のメモリセルトランジスタ及び複数の基準トランジスタを同時に選択可能としたことを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 電気的に独立したフローティングゲートを有し、このフローティングゲートに蓄積される電荷の量に応じてオン抵抗値を変化させ、行列配置される複数のメモリセルトランジスタと、上記複数のメモリセルトランジスタと同一の構造を有し、メモリセルトランジスタの配列に対応して各行毎に所定の数だけ配置される複数の基準トランジスタと、上記複数のメモリセルトランジスタの各列に沿って配置され、各メモリセルトランジスタが接続される複数のビット線と、上記複数の基準トランジスタがそれぞれ接続される複数の基準ビット線と、上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタに所定の周期を有する書き込みクロックを供給し、上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタにそれぞれ書き込みを行う書き込み回路と、上記書き込みクロックの電荷注入動作の間隙で上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタのオン抵抗値を読み出し、上記複数のメモリセルトランジスタの各オン抵抗値が書き込み情報に対応する値となったときに上記書き込み回路から上

記複数のメモリセルトランジスタへの上記書き込みクロックの供給をそれぞれ停止すると共に、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となったときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を順次停止する制御回路と、を備え、上記複数のメモリセルトランジスタを列単位で分割して個別に動作させると共に、上記複数のメモリセルトランジスタの分割に応じて上記複数の基準トランジスタ及び上記複数の基準ビット線を複数組配置し、上記メモリセルトランジスタの各分割単位と上記複数の基準トランジスタ及び上記複数の基準ビット線の1組とを対応させて動作させることを特徴とする不揮発性半導体メモリ装置。

【請求項4】 上記複数のメモリセルトランジスタを所定の列数からなる複数のブロックに分割し、各ブロックを上記複数の基準トランジスタ及び上記複数の基準ビット線の1組に対応させることを特徴とする請求項3に記載の不揮発性半導体メモリ装置。

【請求項5】 上記複数のメモリセルトランジスタを所定の列数からなる複数のブロックに分割し、各ブロック内で上記複数のメモリセルトランジスタを1列ずつ上記複数の基準トランジスタ及び上記複数の基準ビット線の1組に対応させることを特徴とする請求項3に記載の不揮発性半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フローティングゲートを有するメモリセルトランジスタによって多値データの記憶を可能にする不揮発性半導体メモリ装置に関する。

## 【0002】

【従来の技術】メモリセルが单一のトランジスタからなる電気的に消去可能なプログラマブルROM(EEPROM:Electrically Erasable Programmable ROM)においては、フローティングゲートとコントロールゲートとを有する2重ゲート構造のトランジスタによって各メモリセルが形成される。このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲートのドレイン領域側で発生したホットエレクトロンを加速してフローティングゲートに注入することでデータの書き込みが行われる。そして、フローティングゲートに電荷が注入されたか否かによるメモリセルトランジスタの動作特性の差を検出することで、データの読み出しが行われる。

【0003】図6は、フローティングゲートを有する不揮発性半導体メモリ装置のメモリセル部分の平面図で、図7は、そのX-X線の断面図である。この図においては、コントロールゲートの一部がフローティングゲートに並んで配置されるスプリットゲート構造を示している。P型のシリコン基板1の表面領域に、選択的に厚く形成される酸化膜(LOCOS)よりなる複数の分離領域2が

短冊状に形成され、素子領域が区画される。シリコン基板1上に、酸化膜3を介し、隣り合う分離領域2の間に跨るようにしてフローティングゲート4が配置される。このフローティングゲート4は、1つのメモリセル毎に独立して配置される。また、フローティングゲート4上の酸化膜5は、フローティングゲート4の中央部で厚く形成され、フローティングゲート4の端部を鋭角にしている。これにより、データの消去動作時にフローティングゲート4の端部で電界集中が生じ易いようにしている。複数のフローティングゲート4が配置されたシリコン基板1上に、フローティングゲート4の各列毎に対応してコントロールゲート6が配置される。このコントロールゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3を介してシリコン基板1に接するように配置される。また、これらのフローティングゲート4及びコントロールゲート6は、それぞれ隣り合う列が互いに対称となるように配置される。コントロールゲート6の間の基板領域及びフローティングゲート4の間の基板領域に、N型の第1拡散層7及び第2拡散層8が形成される。第1拡散層7は、コントロールゲート6の間で分離領域2に囲まれてそれが独立し、第2拡散層8は、コントロールゲート6の延在する方向に連続する。これらのフローティングゲート4、コントロールゲート6、第1拡散層7及び第2拡散層8によりメモリセルトランジスタが構成される。そして、コントロールゲート6上に、酸化膜9を介して、アルミニウム配線10がコントロールゲート6と交差する方向に配置される。このアルミニウム配線10は、コンタクトホール11を通して、第1拡散層7に接続される。

【0004】このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲート4に注入される電荷の量に応じてソース、ドレイン間のオン抵抗値が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセルトランジスタのオン抵抗値を段階的に変動させ、これによって生じる各メモリセルトランジスタの動作特性の差を記憶するデータに対応付けるようしている。例えば、フローティングゲート4への電荷の注入量を4段階で設定し、そのメモリセルトランジスタのオン抵抗値を同じく4段階で読み出すようにすることで、1つのメモリセルトランジスタに4値(2ビット分)のデータを記憶させることができるようになる。

【0005】図8は、図6に示したメモリセル部分の回路図である。この図においては、メモリセルを4行×4列に配置した場合を示している。2重ゲート構造のメモリセルトランジスタ20は、コントロールゲート6がワード線21に接続され、第1拡散層7及び第2拡散層8がそれぞれビット線22及びソース線23に接続される。各ビット線22は、それぞれ選択トランジスタ24を介してデータ線25に接続され、このデータ線25が

読み出し負荷抵抗26に接続される。また、各ソース線23は、それぞれ電力線27に接続される。そして、電力線27から各ソース線23に対して書き込みクロック $\phi_W$ が印加され、読み出し負荷抵抗26を介してデータ線25から各ビット線22に対して読み出しクロック $\phi_R$ が印加される。

【0006】通常は、各メモリセルトランジスタ20で共通に形成されるコントロールゲート6自体がワード線21として用いられ、第1拡散層7に接続されるアルミニウム配線10がビット線22として用いられる。また、コントロールゲート6と平行して延在する第2拡散層8がソース線23として用いられる。行選択信号LS1～LS4は、ロウアドレス情報に基づいて生成されるものであり、ワード線21の1本を選択することにより、メモリセルトランジスタ20の特定の行を活性化する。列選択信号CS1～CS4は、カラムアドレス情報に基づいて生成されるものであり、選択トランジスタ24の1つをオンさせることにより、メモリセルトランジスタ20の特定の列を活性化する。これにより、行列配置される複数のメモリセルトランジスタ20の内の1つが、ロウアドレス情報及びカラムアドレス情報を従って指定され、データ線25に接続される。

【0007】ここで、メモリセルトランジスタ20に対する書き込み動作とは、メモリセルトランジスタ20のフローティングゲート4に電荷を注入することであり、メモリセルトランジスタ20にデータ線25から接地電位(例えば0V)を印加し、電力線26から書き込み用の電源電位(例えば12V)を印加する。これにより、各選択信号LS1～LS4、CS1～CS4に従う選択動作によって活性化された特定のメモリセルトランジスタ20において、データの書き込み、即ち、フローティングゲート4への電荷の注入が行われる。また、メモリセルトランジスタ20の読み出し動作とは、メモリセルトランジスタ20がオンしたときの抵抗値を検出することである。具体的には、メモリセルトランジスタ20にデータ線25から読み出し用の電源電位(例えば2V)を印加し、電力線26から接地電位(例えば0V)を印加する。このとき、各ビット線22に接続されるセンサアンプ(図示せず)により、メモリセルトランジスタ20のオン抵抗値が検出される。

【0008】メモリセルトランジスタ20に対して多値情報(またはアナログ情報)を書き込む場合、記録精度を高めるために、電荷の注入(書き込み)と注入量の確認(読み出し)とが短い周期で繰り返される。即ち、メモリセルトランジスタ20への書き込みを少しづつ行いながら、その都度読み出しを行い、記憶させようとしているデータの内容に読み出し結果が一致した時点で書き込みを停止するように構成される。

【0009】書き込みクロック $\phi_W$ は、例えば、図9に示すように、一定の周期で一定の期間だけクロックが立

ち上がるよう生成される。この書き込みクロック $\phi W$ は、電力線28からソース線23を介してメモリセルトランジスタ20に印加される。このとき、データ線25は、書き込みクロック $\phi W$ に同期して、接地電位に引き下げられる。従って、書き込みクロック $\phi W$ が立ち上がっている間は、選択されたメモリセルトランジスタ20を通してソース線23からビット線22側へ電流が流れ、この電流によってフローティングゲート4への電荷の注入が行われる。

【0010】一方、読み出しクロック $\phi R$ は、例えば、図9に示すように、書き込みクロック $\phi W$ の間隙期間にパルスが立ち上がるよう生成され、データ線25からビット線22を介してメモリセルトランジスタ20に印加される。このとき、電力線28は、読み出しクロック $\phi R$ に同期して接地電位まで引き下げられる。従って、抵抗26及び選択されたメモリセルトランジスタ20を通してデータ線25から電力線28側へ電流が流れ、メモリセルトランジスタ20のオン抵抗値と読み出し負荷抵抗26の抵抗値との比に応じてビット線22の電位が変化する。このときの電位が、ビット線22に接続されるセンスアンプにより読み出され、その結果が書き込むべき情報に対応する値となるまで上述の書き込み及び読み出しのサイクルが繰り返される。

【0011】図10は、各ビット線22に接続されてメモリセルトランジスタ20のオン抵抗値を検出するセンスアンプの構成を示すブロック図である。センスアンプは、一対の負荷抵抗31、32、一対の電流アンプ33、34、基準トランジスタ35、定電位発生回路36、差動アンプ37及び判定制御回路38より構成される。一対の負荷抵抗31、32は、同一の抵抗値を有し、それぞれ電源に接続される。一対の電流アンプ33、34は、トランジスタ及びインバータからなり、電源に接続された一対の負荷抵抗31、32にそれぞれ接続される。一方の電流アンプ33には、メモリセルトランジスタ20が選択的に接続されるデータ線25が接続され、他方の電流アンプ34には、基準トランジスタ35が接続される。基準トランジスタ35は、電流アンプ34と接地点との間に接続され、ゲートに印加される基準電位VRGに応答して抵抗値を変化させる。定電位発生回路36は、メモリセルトランジスタ20に記憶される多値情報に対応する基準電位VRCを発生し、基準トランジスタ35のゲートに供給する。例えば、メモリセルトランジスタ20が4値(2ビット分)の情報を記憶するときには、基準トランジスタ35の抵抗値を3段階で変化させるように3種類のゲート電位VRGを順次発生する。

【0012】差動アンプ37は、2つの入力が一対の負荷抵抗31、32と一対の電流アンプ33、34との接続点にそれぞれ接続され、各接続点の電位VBL、VRLを比較して、その比較出力COを判定制御回路38に供給

する。判定制御回路38は、定電位発生回路36の基準電位の発生を制御すると共に、差動アンプ37の比較出力COを判別して多値情報に従う他ビットのデータを再生する。例えば、4値の情報を判定するときには、3段階の基準電位から先ず中間の電位を発生させて上位ビットを判定し、続いて、上位ビットの判定結果に応じて3段階の基準電位から高電位あるいは低電位を発生させて下位ビットを判定するように構成される。

【0013】メモリセルトランジスタ20の情報を読み出す際には、メモリセルトランジスタ20のソース側が接地されており、負荷抵抗31及びメモリセルトランジスタ20が電流アンプ33を介して電源接地間に直列に接続されることになる。同様に、負荷抵抗32及び基準トランジスタ35も電流アンプ34を介して電源接地間に直列に接続される。このとき、負荷抵抗31と電流アンプ33との接続点の電位VBLは、負荷抵抗31とメモリセルトランジスタ20との駆動能力の比によって決定される。同様に、負荷抵抗32と電流アンプ34との接続点の電位VRLは、負荷抵抗32と基準トランジスタ35との駆動能力の比によって決定される。従って、差動アンプ37の比較出力COに基づいて、段階的に抵抗値が切り換えられる基準トランジスタ35に対してメモリセルトランジスタ20の抵抗値が何れの範囲にあるかを判定することができる。尚、このようなセンスアンプは、例えば、1995 IEEE/International Solid-State Circuit Conference/Session 7/Flash Memory/Paper TA 7.7に開示されている。

#### 【0014】

【発明が解決しようとする課題】メモリセルトランジスタ20と負荷抵抗31との抵抗比及び基準トランジスタ35と負荷抵抗32との抵抗比を読み出すようにしている上述のセンスアンプにおいては、負荷抵抗31、32の抵抗値の設定が重要となる。この負荷抵抗31、32の抵抗値は、通常、メモリセルトランジスタ20の抵抗値に応じて設定される。このとき、負荷抵抗31、32の抵抗値が、最適値に対して大きい場合または小さい場合には、メモリセルトランジスタ20の抵抗値の変化に対する接続点の電位VBLの変化が小さくなる。従って、負荷抵抗31、32の抵抗値の設定がずれると、各接続点の電位VBL、VRLの変化を差動アンプ37で正しく読み取れなくなるおそれがある。

【0015】また、基準トランジスタ35及び基準電位発生回路36では、その動作特性が差動アンプ37の判定基準となる電位VRLに影響を与えるため、動作範囲の全ての電位に対して安定した動作を維持できるようにしなければならない。しかしながら、低電位発生回路36は、回路を構成する素子の製造ばらつきによる影響を受け易いため、ゲート電位VRGを常に安定して供給できるようにするためには、細かい調整等が不可欠になる。従って、調整のために必要となる回路構成の増加によりセ

ンスアンプの回路規模が増大し、結果的に製造コストの増加を招いている。

【0016】そこで本発明は、多値情報を記憶するメモリセルトランジスタから安定して正確に情報を読み出すようにすることを目的とする。

#### 【0017】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、第1の特徴とすることろは、電気的に独立したフローティングゲートを有し、このフローティングゲートに蓄積される電荷の量に応じてオン抵抗値を変化させるメモリセルトランジスタと、上記メモリセルトランジスタと同一の構造を有し、同一行に配置される複数の基準トランジスタと、上記メモリセルトランジスタが接続されるビット線と、上記複数の基準トランジスタがそれぞれ接続される複数の基準ビット線と、上記メモリセルトランジスタ及び上記複数の基準トランジスタに所定の周期を有する書き込みクロックを供給し、上記メモリセルトランジスタ及び上記複数の基準トランジスタにそれぞれ書き込みを行う書き込み回路と、上記書き込みクロックの電荷注入動作の間隙で上記メモリセルトランジスタ及び上記複数の基準トランジスタのオン抵抗値を読み出し、上記複数のメモリセルトランジスタへの上記書き込みクロックの供給をそれぞれ停止すると共に、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となったときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を順次停止する制御回路と、を備え、上記複数のメモリセルトランジスタを列単位で分割して個別に動作させると共に、上記複数のメモリセルトランジスタの分割に応じて上記複数の基準トランジスタ及び上記複数の基準ビット線を複数組配置し、上記メモリセルトランジスタの各分割単位と上記複数の基準トランジスタ及び上記複数の基準ビット線の1組とを対応させて動作させることにある。

【0018】本発明によれば、書き込み情報に対応する値を参照してメモリセルトランジスタへの書き込みが行われると同時に、段階的に設定される複数の基準値を参照して複数の基準トランジスタへの書き込みが行われる。これにより、メモリセルトランジスタ及び複数の基準トランジスタの特性にばらつきが生じたとしても、そのばらつきの影響を受けることなく書き込み情報の判定を行うことができるようになる。

【0019】そして、第2の特徴とすることろは、電気的に独立したフローティングゲートを有し、このフローティングゲートに蓄積される電荷の量に応じてオン抵抗値を変化させ、行列配置される複数のメモリセルトランジスタと、上記複数のメモリセルトランジスタと同一の構造を有し、メモリセルトランジスタの配列に対応して各行毎に所定の数だけ配置される複数の基準トランジスタと、上記複数のメモリセルトランジスタの各列に沿って配置され、各メモリセルトランジスタが接続される複数のビット線と、上記複数の基準トランジスタがそれ接続される複数の基準ビット線と、上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタに所

定の周期を有する書き込みクロックを供給し、上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタにそれぞれ書き込みを行う書き込み回路と、上記書き込みクロックの電荷注入動作の間隙で上記複数のメモリセルトランジスタ及び上記複数の基準トランジスタのオン抵抗値を読み出し、上記複数のメモリセルトランジスタの各オン抵抗値が書き込み情報に対応する値となつたときに上記書き込み回路から上記複数のメモリセルトランジスタへの上記書き込みクロックの供給をそれぞれ停止すると共に、上記複数の基準トランジスタのオン抵抗値が段階的に設定される複数の基準値となつたときに上記書き込み回路から上記複数の基準トランジスタへの上記書き込みクロックの供給を順次停止する制御回路と、を備え、上記複数のメモリセルトランジスタを列単位で分割して個別に動作させると共に、上記複数のメモリセルトランジスタの分割に応じて上記複数の基準トランジスタ及び上記複数の基準ビット線を複数組配置し、上記メモリセルトランジスタの各分割単位と上記複数の基準トランジスタ及び上記複数の基準ビット線の1組とを対応させて動作させることにある。

【0020】本発明によれば、メモリセルトランジスタへの書き込みと基準トランジスタへの書き込みとを同時にを行う際、メモリセルトランジスタの分割単位毎にそれぞれ独立に書き込みを行うようにすることができる。これにより、同一行に配置されたメモリセルトランジスタ及び基準トランジスタであっても、複数に分割してそれを独立に動作させることができるようになる。そのとき、メモリセルトランジスタの特性のばらつきは、同時に書き込みが成される基準トランジスタから判定の基準値を得るようにすることで、打ち消される。

#### 【0021】

【発明の実施の形態】図1は、本発明の不揮発性半導体メモリ装置の第1の実施形態を示す回路図である。この図においては、メモリセルトランジスタ40が4値(2ビット分)の情報を記憶し、その情報を読み出すようにした場合を示す。尚、メモリセルトランジスタ40は、4行×1列に配置し、列選択のための回路構成は省略してある。

【0022】メモリセルトランジスタ40は、図8に示すメモリセルトランジスタ20と同一構造であり、フローティングゲート及びコントロールゲートを有し、フローティングゲートに注入(蓄積)される電荷の量に応じてオン抵抗値を変動させる。ワード線41は、メモリセルトランジスタ40の各行毎に対応して配置され、各メモリセルトランジスタ40のコントロールゲートがそれぞれ接続される。このワード線41には、ロウアドレス情報を受けるロウデコーダ(図示せず)から供給される行選択信号LS1～LS4が印加され、何れか1行が選択的に活性化される。ビット線42は、メモリセルトランジスタ40が配列された列方向に延在し、各メモリセ

ルトランジスタ40のドレイン側が接続される。ソース線43は、ビット線42と交差する方向に延在して配置され、各メモリセルトランジスタ40のソース側が接続される。これにより、各メモリセルトランジスタ40は、ビット線42に対して並列に接続され、書き込み、読み出し及び消去の各動作毎にビット線42及びソース線43から所定の電位の供給を受ける。

【0023】基準トランジスタ50は、メモリセルトランジスタ40と同一の構造を有し、4値を区別するため、3つの基準値を得られるように各列毎に3つずつ並列に配置される。この実施形態においては、4行配置されるメモリセルトランジスタ40に対応して、基準トランジスタ50は、4行×3列に配置される。各基準トランジスタ50は、コントロールゲートが同一行のメモリセルトランジスタ40と共通のワード線41にそれぞれ接続され、さらに、ソース側が、同一行のメモリセルトランジスタ40と共にソース線43にそれぞれ接続される。第1～第3の基準ビット線51a～51cは、基準トランジスタ50の各列に対応するように配置され、各基準トランジスタ50のドレイン側が接続される。

【0024】書き込み制御回路52は、各ソース線43に接続され、一定の波高値及び一定の周期を有する書き込みクロック $\phi W$ をソース線43を介して各メモリセルトランジスタ40及び各基準トランジスタ50に供給する。また、書き込み制御回路52は、後述する読み出しクロック $\phi R$ に同期してソース線43を接地する。読み出し制御回路53は、ビット線42及び各基準ビット線51a～51cに接続され、書き込みクロック $\phi W$ の間隙期間で電圧が立ち上げられる読み出しクロック $\phi R$ をビット線42及び各基準ビット線51a～51cを介して各メモリセルトランジスタ40及び各基準トランジスタ50に供給する。この読み出し制御回路53は、読み出し負荷抵抗を含み、読み出しクロック $\phi R$ による読み出し用の電位を読み出し負荷抵抗を介してビット線42及び各基準ビット線51a～51cに給する。また、読み出し制御回路53は、判定回路60からの判定信号C0～C3が反転するまでの間に限って、書き込みクロック $\phi W$ に同期してビット線42及び各基準ビット線51a～51cを接地する。即ち、読み出しクロック $\phi R$ に従う読み出し動作において、ビット線42または各基準ビット線51a～51cの読み出し電位（ビット線電位VBL、基準電位VR1～VR3）がそれぞれ所望の電位に達した時点で、ビット線42及び各基準ビット線51a～51cの電位をあげるようにしている。

【0025】判定回路60は、4つの差動アンプ61、62a～62c及び3つのセレクタ63a～63cより構成される。差動アンプ61は、反転入力にビット線42の電位VBLが入力され、非反転入力に記憶情報に対応付けられる信号電位VSLが入力される。各差動アンプ62a～62cの反転入力には、各基準ビット線51a～

51cの電位VR1～VR3がそれぞれ入力され、非反転入力には、各セレクタ63a～63cの選択出力が入力される。各セレクタ63a～63cには、3種類の書き込み基準電位Va～Vcがそれぞれ入力されると共に、ビット線42の電位VBLが共通に入力される。このセレクタ63a～63cは、装置の動作モードに対応して選択制御され、書き込みモードでは各書き込み基準電位Va～Vcを選択し、読み出しモードではビット線電位VBLを選択する。尚、この読み出しモードとは、書き込み動作と交互に繰り返される読み出しクロック $\phi R$ による読み出し動作ではなく、メモリセルトランジスタ40に対する情報の書き込みを完了した後、その情報を読み出して再生する場合を示す。

【0026】差動アンプ61の出力C0は、ビット線42の接地を中止するタイミングを決定する制御信号として用いられる。また、各差動アンプ62a～62cの出力C1～C3は、上述の書き込みモードにおいて、各基準ビット線51a～51cの接地を中止するタイミングを決定する制御信号として用いられる。即ち、ビット線電位VBLが信号電位VSLに達したときに差動アンプ61の出力が反転し、読み出し制御回路53に対してビット線42の電位を上げるように指示を与え、メモリセルトランジスタ40に対する書き込み動作を停止させる。同様に、各基準ビット線電位VR1～VR3がそれぞれの書き込み基準電位Va～Vcに達したときに各差動アンプ62a～62cの出力が反転し、各基準ビット線51a～51cの接地を中止するようにして基準トランジスタ50に対する書き込み動作を停止させる。また、上述の読み出しモードにおいては、各差動アンプ62a～62cの出力C1～C3から、ビット線電位VBLの判定、即ち、メモリセルトランジスタ40に記憶された多値情報の判定が行われる。

【0027】第1～第3の基準ビット線51a～51cの読み出し電位は、図2に示すように、書き込みクロック $\phi W$ に応答して段階的に上昇する。そこで、この読み出し電位が、段階的に設定される書き込み基準電位Va～Vcを超えると、それまでローレベルにあった出力C1～C3は順次立ち上がる。メモリセルトランジスタ40に4値（2ビット分）の情報を記憶する場合、図3に示すように、記憶情報の4つの状態に対応する信号電位VSL1～VSL4に対して、それぞれの中間値となる3つの判定電位VR1～VR3が設定される。そこで、書き込み基準電位Va～Vcが3つの判定電位VR1～VR3に対応するように設定される。一般的には、電源接地間の電位差を6等分し、第2の判定電位VR2を電源電位の1/2とし、第1及び第3の判定電位VR1、VR3をそれぞれ電源電位の2/3、1/3としている。

【0028】書き込み動作が完了したときに各基準ビット線51a～51cから読み出される基準ビット線電位VR1～VR3は、基本的には、書き込み基準電位Va～Vc

に従うものであるが、各基準トランジスタ50の特性のばらつきの分だけずれた値となる。製造ばらつき等によって基準トランジスタ50やメモリセルトランジスタ40の特性にばらつきが生じた場合、同一の過程を経て書き込まれる基準トランジスタ50からの基準電位VR1～VR3とメモリセルトランジスタ40からの読み出し電位VBLとを対比することにより、特性のばらつきは無視できる。

【0029】図4は、本発明の不揮発性半導体メモリ装置の第2の実施形態を示す回路図である。この図においては、4行×4列に配置したメモリセルトランジスタ40を2列ずつ2つのブロックMCA、MCBに分割し、各ブロックをそれぞれ個別に動作させる場合を示している。尚、ビット線電位VBL及び基準電位VR1～VR3を取り込む判定回路60は、図1と同一構成であり、図示省略してある。

【0030】メモリセルトランジスタ40は、各メモリセルブロックMCA、MCB毎にそれぞれ4行×2列ずつ行列配置され、各行及び各列にそれぞれワード線41及びビット線42が対応付けられる。メモリセルトランジスタ40の各行に対応付けられたワード線41は、各メモリセルトランジスタ40のコントロールゲートにそれぞれ接続される。このワード線41には、ロウアドレス情報に基づいて生成される行選択信号LS1～LS4が印加され、何れか1行が選択的に活性化される。メモリセルトランジスタ40の各列に対応付けられたビット線42は、各メモリセルトランジスタ40のドレン側が接続される。そして、ソース線43は、ビット線42と交差する方向に延在して配置され、各メモリセルトランジスタ40のソース側が接続される。

【0031】また、各ビット線42は、それぞれ選択トランジスタ44を介してデータ線45に接続される。判定回路60には、このデータ線が45が接続される。各選択トランジスタ44には、列選択情報を受けるカラムデコーダ(図示せず)からの列選択信号CSa1、CSa2、CSb1、CSb2がそれぞれ印加される。ここで、2つのメモリセルブロックMCA、MCBについては、別々のタイミングで活用されるものであり、活用すべきブロックに対応して列選択信号CSa1、CSa2、CSb1、CSb2が印加される。例えば、第1のメモリセルブロックMCAを活用し、第2のメモリセルブロックMCBを休止する場合には、列選択信号CSa1、CSa2が有効になり、列選択信号CSb1、CSb2については、常にロウレベルに固定される。

【0032】基準トランジスタブロックRCa、RCbは、図1と同様に、それぞれ4行×3列の基準トランジスタ50(図示省略)を含み、各メモリセルブロックMCA、MCBに対応して2組が並列に配置される。各基準トランジスタブロックRCa、RCbには、それぞれ基準ビット線51a～51cが設けられ、この基準ビット線

51a～51cが読み出し制御回路53とセレクタ54とに接続される。セレクタ54は、2つの基準トランジスタブロックRCa、RCbの基準ビット線51a～51cの内、何れか一方の組を選択し、その基準ビット線51a～51cから得られる判定電位VR1～VR3を判定回路60に供給する。このセレクタ54の選択動作は、メモリセルブロックMCA、MCBの選択動作に同期するものであり、メモリセルブロックMCA、MCBの一方と基準トランジスタブロックRCa、RCbの一方とを対で動作させる。

【0033】2つのメモリセルブロックMCA、MCBを選択的に活用する場合、それぞれの活用のタイミングにおいて動作環境が変化することがある。例えば、バッテリー駆動される携帯用のコンピュータ機器などにおいて、バッテリーの消費によって電源電位が低下すると、メモリセルブロックMCA、MCBの一方を活用するときと、他方を活用するときとで各信号電位にずれが生じる。このような場合においても、メモリセルブロックMCA、MCBと基準トランジスタブロックRCa、RCbとを常に同時に動作させることにより、メモリセルトランジスタ40に対する書き込みレベルのずれと基準トランジスタ50に対する書き込みレベルのずれとが同じになる。従って、メモリセルブロックMCA、MCBを2分割して活用しながらも、読み出し動作においてビット線電位VBLの判定を誤ることはなく、安定した動作を維持することができる。

【0034】図5は、本発明の不揮発性半導体メモリ装置の第3の実施形態を示す回路図である。この図においては、4行×4列に配置したメモリセルトランジスタ40を2列ずつ2つのブロックMCA、MCBに分割し、各ブロック内で1列ずつ動作させる場合を示している。尚、ビット線電位VBL及び基準電位VR1～VR3を取り込む判定回路60は、図1と同一構成であり、図示省略してある。

【0035】メモリセルブロックMCA、MCBは、図4と同一であり、それぞれメモリセルトランジスタ40が4行×2列に配置され、各行及び各列にワード線41及びビット線42が対応付けられる。各ビット線42は、読み出し制御回路53に接続されると共に、それぞれ選択トランジスタ44を介してデータ線45a、45bに接続される。データ線45a、45bは、メモリセルブロックMCA、MCBの1列目及び2列目に対応してそれぞれ個別に設けられる。そして、各メモリセルブロックMCA、MCBのメモリセルトランジスタ40の1列目に対応するビット線42が第1のデータ線45aに接続され、2列目に対応するビット線42が第2のデータ線45bに接続される。判定回路60には、このデータ線45a、45bの一方が選択的に接続される。また、各選択トランジスタ44には、メモリセルブロックMCA、MCBの何れか一方を選択するブロック選択信号BS1、

B S2が印加される。

【0036】ここで、メモリセルブロックM Ca、M Cbのメモリセルトランジスタ40の各列は、別々のタイミングで活用されるものであり、活用すべき列に対応してデータ線45a、45bの一方が判定回路60に接続される。例えば、各メモリセルブロックM Ca、M Cbの1列目のメモリセルトランジスタ40を活用し、2列目のメモリセルトランジスタ40を休止する場合には、第1のデータ線45aを判定回路60に接続して有効にし、第2のデータ線45bを無効にする。

【0037】基準トランジスタブロックR Ca、R Cbは、図4と同一であり、それぞれ基準トランジスタ50が4行×3列に配置され、各行及び各列にワード線41及び基準ビット線51a～51cが対応付けられる。また、セレクタ54も図4と同一であり、選択した判定電位VR1～VR3を判定回路60に供給する。このセレクタ54の選択動作は、データ線45a、45bの選択動作、即ち、活用するメモリセルトランジスタ40の列選択動作に同期するものであり、各メモリセルブロックM Ca、M Cb内のメモリセルトランジスタ40の列の一方と基準トランジスタブロックR Ca、R Cbの一方とを対で動作させる。このような構成においても、図4の場合と同様に、メモリセルトランジスタ40を列毎に独立で活用しながらも、読み出し動作においてビット線電位V BLの判定を誤ることはなく、安定した動作を維持することができる。

【0038】以上の実施形態においては、メモリセルトランジスタ40に4値を記憶させる場合を例示したが、記憶情報は4値に限るものではなく、8値(3ビット分)、16値(4ビット分)あるいはそれ以上でも可能である。その場合、基準トランジスタは、判定値の数に対応して各行毎に配置される。例えば、1つのメモリセルトランジスタ40から、3ビットのデータを読み出すようにするときには、7列の基準トランジスタを配置し、8値の判定が可能なように構成すればよい。

【0039】また、メモリセルトランジスタの分割は、2分割に限るものではなく、3分割以上とすることも可能である。このとき、基準トランジスタブロックは、各ブロックをそれぞれ独立に動作させる場合には分割数に応じて配置する必要があり、各ブロック内でメモリセルトランジスタを列毎に動作させる場合にはメモリセルトランジスタ列の数に応じて配置する必要がある。

【0040】

【発明の効果】本発明によれば、メモリセルトランジスタと並列に配置した基準トランジスタから判定基準値を読み出すようにしたため、メモリセルトランジスタまたは基準トランジスタにおいて特性のばらつきが生じたとしても、記憶情報が誤って判定されることがなくなる。従って、読み出し動作のマージンを広くすることができます、1つのメモリセルトランジスタで記憶できるビット

数を多くすることができ、結果的に、高速アクセスに対応することができる。

【0041】また、同一行に多くのメモリセルトランジスタを配置した場合、そのメモリセルトランジスタを分割して動作させることができ、メモリセル領域の利用効率を向上することができる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体メモリ装置の第1の実施形態を示す回路図である。

【図2】本発明の不揮発性半導体メモリ装置の動作を説明するタイミング図である。

【図3】読み出し動作の際の基準電位と書き込み動作の際の基準電位の関係図である。

【図4】本発明の不揮発性半導体メモリ装置の第2の実施形態を示す回路図である。

【図5】本発明の不揮発性半導体メモリ装置の第3の実施形態を示す回路図である。

【図6】従来の不揮発性半導体メモリ装置のメモリセルの構造を示す平面図である。

【図7】図6のX-X線の断面図である。

【図8】従来の不揮発性半導体メモリ装置の構成を示す回路図である。

【図9】書き込みクロック及び読み出しクロックの波形図である。

【図10】センスアンプの構成を示す回路図である。

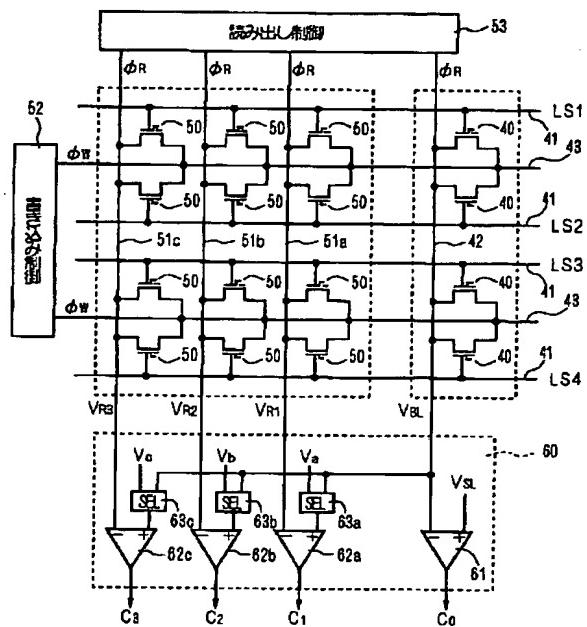
【符号の説明】

- 1 半導体基板
- 2 分離領域
- 3、5、9 酸化膜
- 4 フローティングゲート
- 6 制御ゲート
- 7 ドレイン領域
- 8 ソース領域
- 10 アルミニウム配線
- 11 コンタクトホール
- 20 メモリセルトランジスタ
- 21 ワード線
- 22 ビット線
- 23 ソース線
- 24 選択トランジスタ
- 25 データ線
- 26 電力線
- 27 ロウデコーダ
- 28 カラムデコーダ
- 31、31 抵抗
- 33、34 電流アンプ
- 35 基準トランジスタ
- 36 基準電位発生回路
- 37 差動アンプ
- 38 判定制御回路

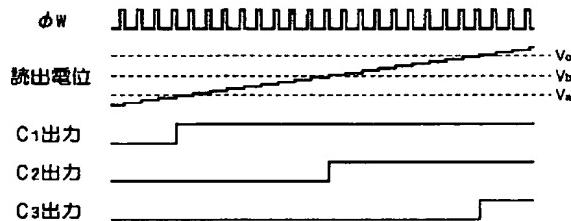
40 メモリセルトランジスタ  
 41 ワード線  
 42 ビット線  
 43 ソース線  
 44 選択トランジスタ  
 50 基準トランジスタ  
 51a～51c 基準ビット線  
 52 書き込み制御回路

53 読み出し制御回路  
 54 セレクタ  
 60 判定回路  
 61、62a～62c 差動アンプ  
 63a～63c セレクタ  
 MCa、MCb メモリセルブロック  
 RCa、RCb 基準トランジスタブロック

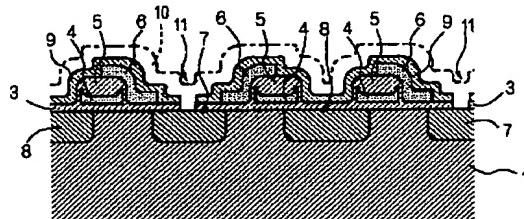
【図1】



【図2】



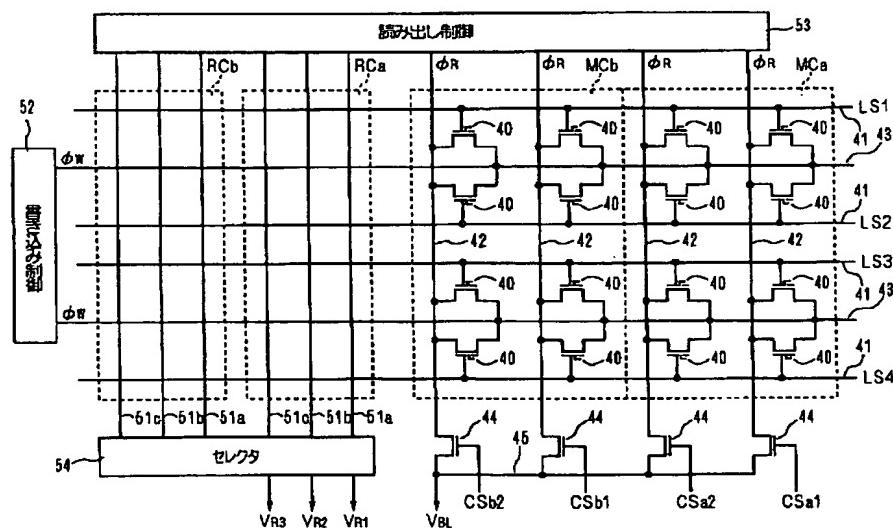
【図7】



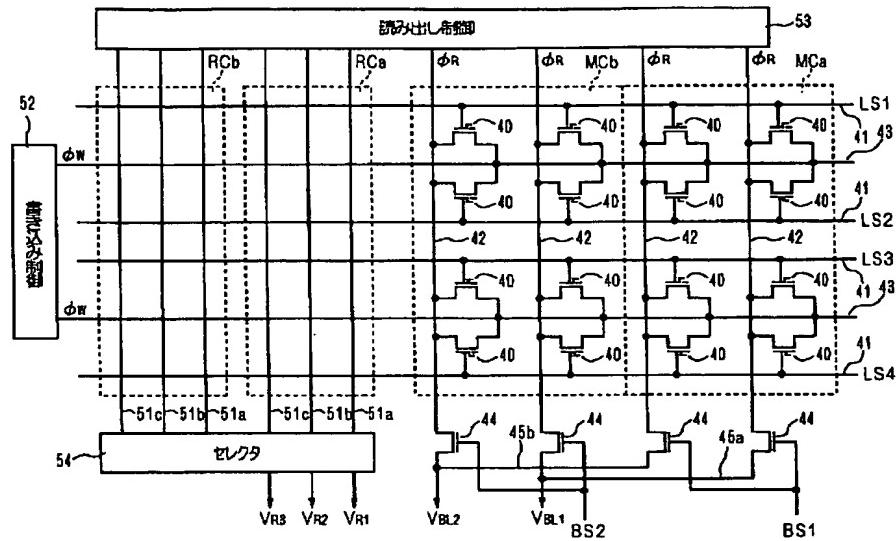
【図3】

「1,1」	- VSL4
「1,0」	- VR3 (V <sub>a</sub> )
「0,1」	- VR2 (V <sub>b</sub> )
「0,0」	- VR1 (V <sub>c</sub> )
	- VSL1

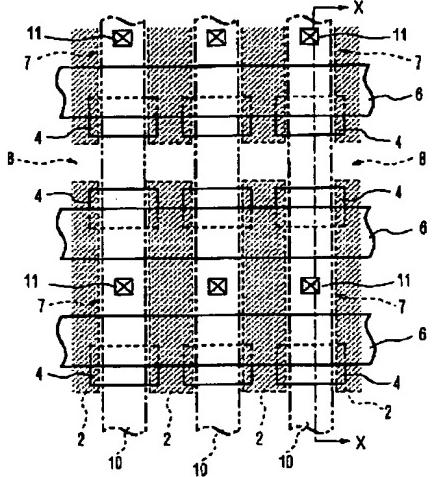
【図4】



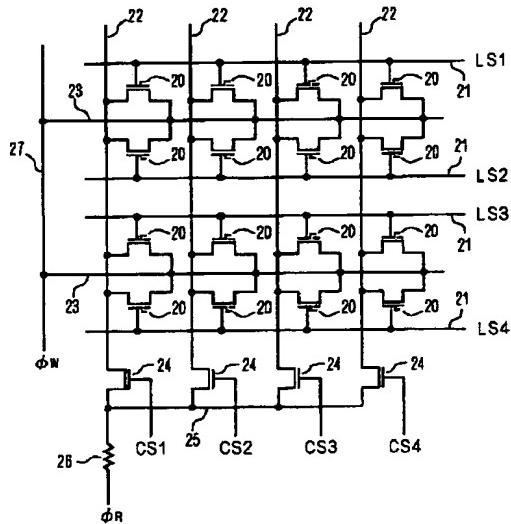
【図5】



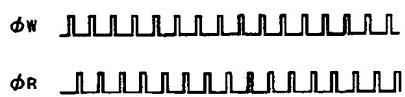
【図6】



【図8】



【図9】



【図10】

